

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-329780

(43)Date of publication of application : 15.11.2002

(51)Int.CI. H01L 21/768  
H01L 21/8238  
H01L 27/092

(21)Application number : 2001-131941

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.04.2001

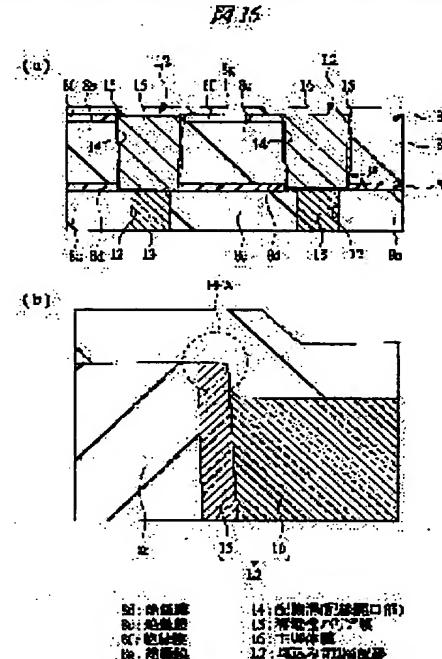
(72)Inventor : NOGUCHI JUNJI  
MARUYAMA HIROYUKI  
OHASHI TADASHI

## (54) FABRICATION METHOD OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve insulation break down resistance between wirings having copper as the main conductive layer.

**SOLUTION:** A buried wiring structure when the electric field concentrates in the upper portion has the main component of copper separated from the polished face of the insulation film of the circumference when the electric field concentrates in the upper portion.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

## (19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

## 【特許請求の範囲】

(1) 特許出願公開番号  
特開2002-329780  
(P2002-329780A)

(43) 公開日 平成14年11月15日(2002.11.15)

(51) Int CL' H 01 L 21/788 21/8238 27/682

識別記号 P I H 01 L 21/30 27/08 B 5 F 0 3 3 3 2 1 F 5 F 0 4 8

請求項 未請求 請求項の数34 O L (全30頁)

(21) 出願人 特願2001-131941(P2001-131941)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 野口 浩司

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所ハイスクールセンター内

(72) 発明者 丸山 篤之

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センター内

(74) 代理人 100080001

弁理士 関井 大和

【請求項1】 以下の工程を有することを特徴とする半導体装置の製造方法；  
(a) 半導体基板の主面上に第1の絶縁膜を堆積する工程、  
(b) 前記第1の絶縁膜の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項1記載の半導体装置の製造方法において、  
前記(c) 工程後、前記(d) 工程の前に、  
前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項7】 請求項1記載の半導体装置の製造方法において、  
前記(c) 工程後、前記(d) 工程の前に、  
前記半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項8】 請求項1記載の半導体装置の製造方法において、  
前記(c) 工程後、前記(d) 工程の前に、  
前記半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程、  
前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置回路基盤の製造方法において、前記水素ガスアシストおよびアンモニアガスアシスト処理の後、大気開放せずに連続して、前記第1の絶縁膜を堆積する工程を有することを特徴とする半導体装置の製造方法。

【請求項10】 請求項1記載の半導体装置の製造方法において、前記第1の絶縁膜は、低誘電率な絶縁膜からなることを特徴とする半導体装置の製造方法。

【請求項11】 請求項1記載の半導体装置の製造方法において、前記第1の絶縁膜の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項12】 請求項1記載の半導体装置の製造方法において、前記キャップ用の絶縁膜は、銀の遮蔽を抑制または防止する性質を有することを特徴とする半導体装置の製造方法。

【請求項13】 請求項1記載の半導体装置の製造方法において、前記キャップ用の絶縁膜は、炭化シリコン膜、炭化シリコン膜またはリメトキシシランガスを用いた酸化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項14】 請求項1記載の半導体装置の製造方法において、前記第2の絶縁膜は、銅の扩散を抑制または

前記鋼を主成分とする配線形成用の導体膜を堆積する工程、  
前記配線開口部を含む前記第1の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程、  
前記鋼を主成分とする配線形成用の導体膜を研磨する工程、  
前記配線開口部内に配線を形成する工程、  
前記配線の上面が、前記第1の絶縁膜の上面よりも低くなるように、前記配線の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、  
前記(c) 工程は、  
前記配線開口部内外を含む前記第1の絶縁膜上に、配線形成用の第1の導体膜および銅を主成分とする配線形成用の第2の導体膜を順に堆積する工程、  
前記配線形成用の第1、第2の導体膜を研磨することにより、前記配線開口部内の配線を形成する工程、  
前記配線の上面が、前記第1の絶縁膜の上面よりも低くなるように、前記配線の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項4】 請求項1記載の半導体装置の製造方法において、  
前記(c) 工程は、  
前記配線開口部内外を含む前記第1の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程、  
前記鋼を主成分とする配線形成用の導体膜を研磨する工程、  
前記配線開口部内に配線を形成する工程、  
前記配線の上面が、前記第1の絶縁膜の上面よりも低くなるように、前記配線の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項5】 請求項1記載の半導体装置の製造方法において、  
前記(c) 工程は、  
前記配線開口部内外を含む前記第1の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程、  
前記鋼を主成分とする配線形成用の導体膜を研磨する工程、  
前記配線の上面が、前記第1の絶縁膜の上面よりも低くなるように、前記配線の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項1記載の半導体装置の製造方法において、  
前記(c) 工程は、  
前記配線開口部内外を含む前記第1の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程、  
前記鋼を主成分とする配線形成用の導体膜を研磨する工程、  
前記配線開口部内に配線を形成する工程、  
前記配線の上面が、前記第1の絶縁膜の上面よりも低くなるように、前記配線の上部を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項7】 鋼を主導電層とする配線開口部の絶縁膜強靭性を向上させる。

【解決手段】 鋼を主成分とする埋込み配線の上部において電界が集中する箇所が、その周囲の絶縁膜の研磨面から離間するような埋込み配線構造とした。

【要約】 鋼を主導電層とする配線開口部の絶縁膜強靭性を向上させる。

【発明の名前】 半導体装置の製造方法および半導体装置

【背景】 鋼を主導電層とする配線開口部の絶縁膜強靭性を向上させる。

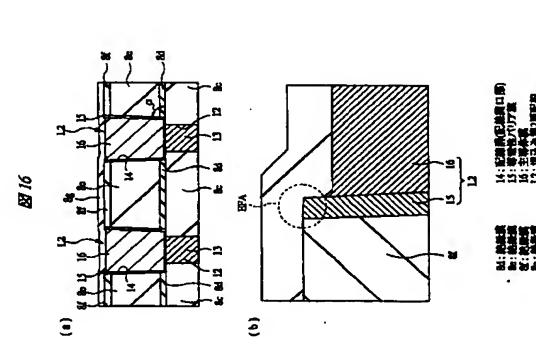
【解決手段】 鋼を主成分とする埋込み配線の上部において電界が集中する箇所が、その周囲の絶縁膜の研磨面から離間するような埋込み配線構造とした。

【要約】 鋼を主導電層とする配線開口部の絶縁膜強靭性を向上させる。

【発明の名前】 半導体装置の製造方法および半導体装置

【背景】 鋼を主導電層とする配線開口部の絶縁膜強靭性を向上させる。

【解決手段】 鋼を主成分とする埋込み配線の上部において電界が集中する箇所が、その周囲の絶縁膜の研磨面から離間するような埋込み配線構造とした。



(54) [発明の名前] 半導体装置の製造方法および半導体装置

(55) [要約] (56) [発明の名前] 半導体装置の製造方法および半導体装置

(57) [要約] (58) [発明の名前] 半導体装置の製造方法

(59) [要約] (60) [発明の名前] 半導体装置の製造方法

(61) [要約] (62) [発明の名前] 半導体装置の製造方法

(63) [要約] (64) [発明の名前] 半導体装置の製造方法

(65) [要約] (66) [発明の名前] 半導体装置の製造方法

(67) [要約] (68) [発明の名前] 半導体装置の製造方法

(69) [要約] (70) [発明の名前] 半導体装置の製造方法

(71) [要約] (72) [発明の名前] 半導体装置の製造方法

(73) [要約] (74) [発明の名前] 半導体装置の製造方法

(75) [要約] (76) [発明の名前] 半導体装置の製造方法

(77) [要約] (78) [発明の名前] 半導体装置の製造方法

(79) [要約] (80) [発明の名前] 半導体装置の製造方法

(81) [要約] (82) [発明の名前] 半導体装置の製造方法

(83) [要約] (84) [発明の名前] 半導体装置の製造方法

(85) [要約] (86) [発明の名前] 半導体装置の製造方法

(87) [要約] (88) [発明の名前] 半導体装置の製造方法

(89) [要約] (90) [発明の名前] 半導体装置の製造方法

(91) [要約] (92) [発明の名前] 半導体装置の製造方法

(93) [要約] (94) [発明の名前] 半導体装置の製造方法

(95) [要約] (96) [発明の名前] 半導体装置の製造方法

(97) [要約] (98) [発明の名前] 半導体装置の製造方法

(99) [要約] (100) [発明の名前] 半導体装置の製造方法

(101) [要約] (102) [発明の名前] 半導体装置の製造方法

(103) [要約] (104) [発明の名前] 半導体装置の製造方法

(105) [要約] (106) [発明の名前] 半導体装置の製造方法

(107) [要約] (108) [発明の名前] 半導体装置の製造方法

(109) [要約] (110) [発明の名前] 半導体装置の製造方法

(111) [要約] (112) [発明の名前] 半導体装置の製造方法

(113) [要約] (114) [発明の名前] 半導体装置の製造方法

(115) [要約] (116) [発明の名前] 半導体装置の製造方法

(117) [要約] (118) [発明の名前] 半導体装置の製造方法

(119) [要約] (120) [発明の名前] 半導体装置の製造方法

(121) [要約] (122) [発明の名前] 半導体装置の製造方法

(123) [要約] (124) [発明の名前] 半導体装置の製造方法

(125) [要約] (126) [発明の名前] 半導体装置の製造方法

(127) [要約] (128) [発明の名前] 半導体装置の製造方法

(129) [要約] (130) [発明の名前] 半導体装置の製造方法

(131) [要約] (132) [発明の名前] 半導体装置の製造方法

(133) [要約] (134) [発明の名前] 半導体装置の製造方法

(135) [要約] (136) [発明の名前] 半導体装置の製造方法

(137) [要約] (138) [発明の名前] 半導体装置の製造方法

(139) [要約] (140) [発明の名前] 半導体装置の製造方法

(141) [要約] (142) [発明の名前] 半導体装置の製造方法

(143) [要約] (144) [発明の名前] 半導体装置の製造方法

(145) [要約] (146) [発明の名前] 半導体装置の製造方法

(147) [要約] (148) [発明の名前] 半導体装置の製造方法

(149) [要約] (150) [発明の名前] 半導体装置の製造方法

(151) [要約] (152) [発明の名前] 半導体装置の製造方法

(153) [要約] (154) [発明の名前] 半導体装置の製造方法

(154) [要約] (155) [発明の名前] 半導体装置の製造方法

(156) [要約] (157) [発明の名前] 半導体装置の製造方法

(157) [要約] (158) [発明の名前] 半導体装置の製造方法

(159) [要約] (160) [発明の名前] 半導体装置の製造方法

(161) [要約] (162) [発明の名前] 半導体装置の製造方法

(162) [要約] (163) [発明の名前] 半導体装置の製造方法

(163) [要約] (164) [発明の名前] 半導体装置の製造方法

(164) [要約] (165) [発明の名前] 半導体装置の製造方法

(165) [要約] (166) [発明の名前] 半導体装置の製造方法

(166) [要約] (167) [発明の名前] 半導体装置の製造方法

(167) [要約] (168) [発明の名前] 半導体装置の製造方法

(168) [要約] (169) [発明の名前] 半導体装置の製造方法

(169) [要約] (170) [発明の名前] 半導体装置の製造方法

(170) [要約] (171) [発明の名前] 半導体装置の製造方法

(171) [要約] (172) [発明の名前] 半導体装置の製造方法

(172) [要約] (173) [発明の名前] 半導体装置の製造方法

(173) [要約] (174) [発明の名前] 半導体装置の製造方法

(174) [要約] (175) [発明の名前] 半導体装置の製造方法

(175) [要約] (176) [発明の名前] 半導体装置の製造方法

(176) [要約] (177) [発明の名前] 半導体装置の製造方法

(177) [要約] (178) [発明の名前] 半導体装置の製造方法

(178) [要約] (179) [発明の名前] 半導体装置の製造方法

(179) [要約] (180) [発明の名前] 半導体装置の製造方法

(180) [要約] (181) [発明の名前] 半導体装置の製造方法

(181) [要約] (182) [発明の名前] 半導体装置の製造方法

(182) [要約] (183) [発明の名前] 半導体装置の製造方法

(183) [要約] (184) [発明の名前] 半導体装置の製造方法

(184) [要約] (185) [発明の名前] 半導体装置の製造方法

(185) [要約] (186) [発明の名前] 半導体装置の製造方法

(186) [要約] (187) [発明の名前] 半導体装置の製造方法

(187) [要約] (188) [発明の名前] 半導体装置の製造方法

(188) [要約] (189) [発明の名前] 半導体装置の製造方法

(189) [要約] (190) [発明の名前] 半導体装置の製造方法

(190) [要約] (191) [発明の名前] 半導体装置の製造方法

(191) [要約] (192) [発明の名前] 半導体装置の製造方法

(192) [要約] (193) [発明の名前] 半導体装置の製造方法

(193) [要約] (194) [発明の名前] 半導体装置の製造方法

(194) [要約] (195) [発明の名前] 半導体装置の製造方法

(195) [要約] (196) [発明の名前] 半導体装置の製造方法

(196) [要約] (197) [発明の名前] 半導体装置の製造方法

(197) [要約] (198) [発明の名前] 半導体装置の製造方法

(198) [要約] (199) [発明の名前] 半導体装置の製造方法

(199) [要約] (200) [発明の名前] 半導体装置の製造方法

(200) [要約] (201) [発明の名前] 半導体装置の製造方法

(201) [要約] (202) [発明の名前] 半導体装置の製造方法

(202) [要約] (203) [発明の名前] 半導体装置の製造方法

(203) [要約] (204) [発明の名前] 半導体装置の製造方法

(204) [要約] (205) [発明の名前] 半導体装置の製造方法

(205) [要約] (206) [発明の名前] 半導体装置の製造方法

(206) [要約] (207) [発明の名前] 半導体装置の製造方法

(207) [要約] (208) [発明の名前] 半導体装置の製造方法

(208) [要約] (209) [発明の名前] 半導体装置の製造方法

(209) [要約] (210) [発明の名前] 半導体装置の製造方法

(210) [要約] (211) [発明の名前] 半導体装置の製造方法

(211) [要約] (212) [発明の名前] 半導体装置の製造方法

(212) [要約] (213) [発明の名前] 半導体装置の製造方法

(213) [要約] (214) [発明の名前] 半導体装置の製造方法

(214) [要約] (215) [発明の名前] 半導体装置の製造方法

(215) [要約] (216) [発明の名前] 半導体装置の製造方法

(216) [要約] (217) [発明の名前] 半導体装置の製造方法

(217) [要約] (218) [発明の名前] 半導体装置の製造方法

(218) [要約] (219) [発明の名前] 半導体装置の製造方法

(219) [要約] (220) [発明の名前] 半導体装置の製造方法

(220) [要約] (221) [発明の名前] 半導体装置の製造方法

(221) [要約] (222) [発明の名前] 半導体装置の製造方法

(222) [要約] (223) [発明の名前] 半導体装置の製造方法

(223) [要約] (224) [発明の名前] 半導体装置の製造方法

(224) [要約] (225) [発明の名前] 半導体装置の製造方法

(225) [要約] (226) [発明の名前] 半導体装置の製造方法

(226) [要約] (227) [発明の名前] 半導体装置の製造方法

(227) [要約] (228) [発明の名前] 半導体装置の製造方法

(228) [要約] (229) [発明の名前] 半導体装置の製造方法

(229) [要約] (230) [発明の名前] 半導体装置の製造方法

(230) [要約] (231) [発明の名前] 半導体装置の製造方法

(231) [要約] (232) [発明の名前] 半導体装置の製造方法

(232) [要約] (233) [発明の名前] 半導体装置の製造方法

(233) [要約] (234) [発明の名前] 半導体装置の製造方法

(234) [要約



と低電流ストレス法があるが、本題では絶縁膜に印加される平均電界が一定となる定電圧ストレス法を用いている。電圧印加の後、時間の経過とともに電流密度は減少し、その後、急激な電流増加（絶縁破壊）が観察される。ここで、リーグ電流密度が  $1 \mu A/cm^2$  に達した時刻を TDDB 好命 ( $5MV/cm$  における TDDB 寿命) とした。なお、本題において、TDDB 好命とは、式に記していない限り  $0.2MV/cm$  における破壊時間（好命）をいうが、広義には所定の電圧条件で与えた上で破壊までの時間として TDDB 寿命の語を用いる場合もある。また、特に記しない限り、TDDB 寿命は、試料温度  $140^\circ C$  の場合をいう。また、TDDB 好命は前記の歴程記録上で測定した場合をいうが、実験の記録間の破壊寿命を反映することはいままでもない。

[0016] 2. プラズマ処理とは、アラスマ状態にある環境に、基板表面、あるいは、基板上に绝缘膜、金属膜等のような部材が形成されている時にはその部材表面を暴露し、プラズマの化学的、機械的（ボンバードメント）作用を表面に与えて処理することをいう。一般にアラズマは特定のガス（処理ガス）に置換した反応室内に必要に応じて処理ガスを補充しつつ、高周波電界等的作用によりガスを離解させ生成するが、現実には完全にリーアル化機械研磨槽とすることはできない。

[0017] 研磨液（スライ）とは、一般に化学工程用薬剤に研磨樹脂を混合した懸濁液をいい、本願においては発明の性質上、研磨樹脂が混合されていないものとする。

【0022】8. 低粒（スラリ粒子）とは、一般にスラリに含まれるモニア、シリカ等の無機粉未をいう。

【0023】9. 防食剤とは、金属の表面に耐食性、排水性あるいはその両方の性質を有する保護膜を形成することによって、CMPによる研磨の進行を阻止する抑制剤をいい、一般にベンツトリアソール（BT）などが使用される（詳しくは特開平8-64594A）などが使用される。

【0017】3. 遷元性界面活性のプラスマとは、遷元作起因分子へ回復することではない。よって、半導体では、例えはアズマムを試しても、完全なアズマム内に含まれる不純物ガス（窒素、酸素、二酸化炭素、水蒸気等）の存在を排除するものではない。同時に、違うまでもないことであるが、プラスマ中に他の希ガスや添加ガスを含むことを排除するものではない。

[0024] 1.0. 导电性バリア膜とは、一般に鋼が層間絶縁膜や下層へ剥離するのを防止するために、埋め込み配線の側面または底面に比較的薄く形成される並板バリア膜であり、一般に、塗化チタン(TiN)、タンタル(Ta)、塗化タンタル(TaN)等のような耐熱点金膜またはその塗化物等が使用される。

[0025] 1.1. 塗込み配線または埋込みメタル配線号公報参照)。

[0018] 4. 本願において例えは鋼からなると表現用、すなわち、触素を引き抜く作用を有するラジカル、イオン、原子、分子等の反応種が支配的に存在するラジカル、イオン、分子等の反応種が支配的に存在するラジカル、イオンには、原子あるいは分子状のラジカルあるいはイオンが含まれる。また、環境内には単一の反応種のみならず、複数種の反応種が含まれても良い。例えは水素ラジカルとNH<sub>2</sub>ラジカルとが同時に存在する環境でも良い。

は、一般にシングルダマシン(single damascene)やデュアルダマシン(dual damascene)などのように、絶縁膜に形成された溝や孔などの内部に導電路を埋め込んだ後、絶縁膜上の不要な導電膜を除去する配線形成技術によってバーニングされた配線をいう。また、一般に、シングルダマシンとは、グラフィタルと、配線用メタルとの2段階に分けて埋め込むプロセスを言う。同様にデュアルダマシンとは、一般にグラフィタルと、配線用メタルとの2段階に分けて埋め込むプロセスを言う。

と、金属用マタルとを一度に埋め込み、更に組み替�プロセスを用いて半導体装置ということができる。[0026] 12. 本願において半導体装置というべき

[0037] また、本実施の形態においては、電界効果トランジスタを代替するMIS・FET (Metal Insulator Semiconductor Field Effect Transistor) をMISと略し、pチャネル型のMIS・FETをpMISと略し、nチャネル型のMIS・FETをnMISと略す。  
[0038] 以下、本発明の実施の形態を図面に添付して説明する。

100401 すなわち、鏡を主導体とした埋込み配線の表面には、CMP後の表面プロセスにより銅／銅 $\text{CuO}$ が形成されたり、また、キャップ膜（窒化シリコン膜）の形成の際にシリサイド（ $\text{CuSi}_{\text{x}}$ 化合物）が形成されて、これらのことから、本発明者は、TDDDB寿命の劣化が、他のようなメカニズムによるものであることを初めて明らかにした。

されたたりする。このような酸化錫あるいは錫シリサイドは、純度などと比較してイオン化され易い。このようにしてイオン化された錫は錫鉱の塊界によりドリフトされ、錫鉱の色調に接触される。一方、上記埋込み配線を形成する色調膜（酸化シリコン膜）とキャップ膜（窒化シリコン膜）との界面は、CMPダメージ、有機溶剤またはダンシングボンドが多いため形成され、不透水性であり、密着性にも乏しい。このようなダンシングボン

ドの存在は、上記弱イオンの増加を助長する作用を有し、銀イオンは界面に沿ってドリフトされ拡散する。すなわち、配線端の前記界面上にリーカーパスが形成される。

特許2000-104015号または特許2000-3  
00853号に開示がある。

維經贊 E 91-11-11-1 翁思仁輯工 1992-7-16

1

いろいろな絶縁膜の材料として、例えば FSG (高強度ガラス) ラズマ CVD (Chemical Vapor Deposition) 法によるラッピングドープ酸化膜 ( $\text{SiO}_2$ )、 $\text{PSiO}_x$ 、 $\text{SiLK}$  (The Dow Chemical Co製、耐熱温度 = 490°C 以上、絶縁破壊電圧 = 4.0 ~ 5.0 MV/V.m) 等のようならず導電率の低い、いわゆる Low-k 耐熱膜 (Kは比誘電率) を用いることが本格的に検討されている。しかし、この場合、錫鉛間の絶縁層破壊圧が酸化シリコン膜を用いた場合に比べて必然的に低くなる。

図 3 は、pTEO<sub>3</sub>、pTEO<sub>4</sub> (比誘電率 = 4.2)、FSG (比誘電率 = 3.0)、SiLK (比誘電率 = 2.7) を用いた鋼筋構造の TDDB 寿命の測定結果を示している。この結果から分かるように、 $\text{Low-K}$  構造に用いる絶縁膜の  $\text{Low-K}$  が進むと、 $\text{Low-K}$  耐熱性材料の物性から絶縁層破壊圧も低下し、その結果、TDDB 寿命の低下を招く。したがって、 $\text{Low-K}$  耐熱性材料を適用する場合には、今まで以上に信頼度 (TDDB 寿命) の確保に対して積極的に対策する必要がある。

用いて実際に作成した顕微鏡構造の断面TEM(Transmission Electron Microscope)写真的模式図である。絶縁膜5.0 nmには、絶縁膜5.1～5.4が下方から順に堆積されている。絶縁膜5.0、5.3は、例えばTEOS (tetraethoxysilane)ガスを用いたプラズマCVD法で形成された酸化シリコン膜(Si<sub>x</sub>N<sub>y</sub>)からなる。絶縁膜5.1、5.4は、比較電極4.0、5.3の比誘電率は、例えば4.2である。絶縁膜5.1、5.4は、例えばプラズマCVD法で形成された塗膜ILKからなる。絶縁膜5.1～5.3には、配線膜5.5が形成されており、その内部に埋込み配線5.6が形成されている。埋込み配線5.6は、鋼からなる半導体膜と、その外周側面および底面を被覆する相対的に高い比誘電率バリア膜とを有している。埋込み配線5.6の厚さ(配線膜5.5の膜さ)h1は、例えば4.38 nm程度または5.35 nm程度である。埋込み配線5.6の下部の幅w1は、例えば2.40 nm程度、上部の幅w2は、例えば2.60 nm程度である。そして、互いに隣接する埋込み配線5.6において、下部の間隔d1は、例えば2.60 nm程度、上部の間隔d2は、例えば2.40 nm程度である。

【0044】この断面TEM写真から実測値をデバイスマッシュミューラーに投入し電界分布を計算した。例として5Vの電圧を印加した場合の電界分布を図5に示す。黒盤の領域が最も電界分布の高い領域を示している。この結果から分かるように、埋込み配線5.6の上部、いわゆるCMP面(CMPで研磨された面)に電界が集中していることが分かる。さらに、埋込み配線5.6近傍のY-Y'断面の電界分布を図6に示す。S11Kからなる

絶縁膜5.2における電界に対して、絶縁膜5.3と絶縁膜5.4との界面の電界は、約30%強くなっている。

【0045】このように、銅を主導体とした埋込み配線構造においては、電界分布がCMP面に集中する。ここで、上記した電界集中モデルを図7に示す。CMP面の埋込み配線5.6の角部に電界が集中する理由として、例えば次の2つが考えられる。第1は、互いに隣接する埋込み配線間の距離が最も短い。第2は、埋込み配線の角部の形状が角形状となっており、このようないくつかの理由で、上記鋼のインサルが助長される。このため、J-TDDB等の電界の劣化の原因となる。

【0046】さらに、埋込み配線5.6の上部角に電界が集中する理由ではなればが、TDDB等を劣化させる原因として、例えば次ののような理由があることを本発明者は見出した。すなわち、埋込み配線5.6の上面側を覆う絶縁膜5.4は、比誘電率の高い塗装シリコン膜を使用している。このため、その絶縁膜5.4において、互いに隣接する埋込み配線間に中央全位における電界強度が高くなる。この結果、その下層の電界シリコン膜からなる

(は互に隣接する埋込み配線5・6間にあり、また、絶縁膜5・3、5・4の界面はCMP面であるとともに、その両境界によるTDDF寿命の劣化に対する影響も大きい。その上、配線ピッチの缩小に伴い、実効界面強度が増加するので、TDDF寿命の強度が益々困難になる。

[0047] そこで、本実施の形態においては、CMP面での埋込み配線への電界集中を緩和し、TDDF特性を改善させることを検討した。

[0048] 本発明の技術思想を、例えばCMIS (Complementary MIS) - LSI (LargeScale Integrated circuit) の製造方法に適用した場合を図8～図16を用いて説明する。なお、図8 (a) はCMIS-LSIの製造工程における要部平面図、図8 (b) は図8 (a) のX-1-X1線の断面図である。また、図9～図11、図13～図15は、各工程中における図8 (a) のX-1-X1線に相当する部分の断面図である。

[0049] 図8に示すように、ウェーブを構成する基板1は、例えば1～10  $\mu$ m程度の比抵抗を有するp型の単結晶シリコンからなる。基板1の正面(裏子形成面)には、構形の分離部 (SGI : Shallow Groove Isolation) 2が形成されている。この構形の分離部2は、基板1の正面に形成された溝に、例えば酸化シリコン膜4が埋め込まれて形成されている。また、基板1の正面側にP型ウェーブPWL1およびn型ウェーブNWL1が形成されている。P型ウェーブPWL1には、例えばシリコン導入され、n型ウェーブNWL1には、例えばシリコン導入され、このような分離部2に囲まれたP型ウェーブPWL1およびn型ウェーブNWL1の活性領域には、nMISQnが形成されている。

[10053] nMISQnのソースおよびドレイン用の半導体領域6は、チャネルに隣接するn<sup>-</sup>型半導体領域と、n<sup>-</sup>型半導体領域3に接続され、かつ、n<sup>-</sup>型半導体領域6だけチャネルから離隔する位置に設けられたn<sup>+</sup>型半導体領域とを有している。n<sup>-</sup>型半導体領域およびn<sup>+</sup>型半導体領域には、例えばリソボンまたはヒゲが導入されている。一方、PMISQpのソースおよびドレイン用の半導体領域7は、チャネルに隣接するp<sup>-</sup>型半導体領域と、p<sup>-</sup>型半導体領域3に接続され、かつ、p<sup>-</sup>型半導体領域6だけチャネルから離隔する位置に設けられたp<sup>+</sup>型半導体領域とを有している。p<sup>-</sup>型半導体領域およびp<sup>+</sup>型半導体領域には、例えばカウゲットが導入されている。この半導体領域6、7の上面一部には、例えばチタンシリサイド層またはコバルトリシリサイド層等のようなシリサイド層が形成されている。

[10054] このような基板1上には絶縁膜8aが堆積されている。この絶縁膜8aは、ゲート電極4、4の張いスペースを埋め込むことのできるリフロー性の高い膜、例えばBPSG(Boron-doped Phospho Silicate Glass)。

ガス密閉気中で熱処理し、ゲート絶縁膜3と基板1との界面に窒素を貯蔵することによっても、上記と同様の効果を得ることができる。

【0051】また、ゲート絶縁膜3を、例えば窒化シリコン膜、あるいは酸化シリコン膜と窒化シリコン膜との複合絶縁膜で形成しても良い。酸化シリコン膜からなるゲート絶縁膜3を二酸化シリコン換算膜厚で5 nm未満、特に3 nmまで薄くすると、直角トンネル電流の発生やストレス起因のホットキャリア等による絶縁破壊耐圧の低下が顎在化する。窒化シリコン膜は、酸化シリコン膜よりも誘電率が高いためにその二酸化シリコン換算膜厚は実際の膜厚よりも薄くなる。すなわち、窒化シリコン膜を有する場合には、物理的に厚くても、相対的に薄い二酸化シリコン膜と同等の容許値を得ることができる。従って、ゲート絶縁膜3を單一の窒化シリコン膜あるいはそれと酸化シリコン膜との複合膜で構成することにより、その実効膜厚を、酸化シリコン膜で構成されしたゲート絶縁膜よりも厚くすることができますので、トンネル漏れ電流の発生やホットキャリアによる絶縁破壊耐圧の低下を改善することができる。

【0052】nMISQnおよびpMISQpのゲート電極部4は、例えば低抵抗多結晶シリコン膜上にチタンシリサイド(TiSi<sub>x</sub>)層またはコバルトトリサイド(Co<sub>x</sub>Si<sub>y</sub>)層を形成される。ただし、ゲート電極構造は、これに限られるものではなく、例えば低抵抗多結晶シリコン膜、WN(窒化タンクステン)膜およびTiW(タンクステン)膜の積層膜で構成される、いわゆるボリメタルゲート構造としても良い。ゲート電極部4の側面には、例えば酸化シリコンからなるサイドウォールが形成されている。

【0053】また、ゲート絶縁膜3を、例えば塗装シリコン膜、あるいは酸化シリコン膜と窒化シリコン膜との複合絶縁膜で形成しても良い。酸化シリコン膜からなるゲート絶縁膜3を二酸化シリコン換算膜厚で5 nm未満、特に3 nmまで薄くすると、直角トンネル電流の発生やストレス起因のホットキャリア等による絶縁破壊耐圧の低下が顎在化する。窒化シリコン膜は、酸化シリコン膜よりも誘電率が高いためにその二酸化シリコン換算膜厚は実際の膜厚よりも薄くなる。すなわち、窒化シリコン膜を有する場合には、物理的に厚くても、相対的に薄い二酸化シリコン膜と同等の容許値を得ることができるのである。従つて、ゲート絶縁膜3を單一の窒化シリコン膜あるいはそれと酸化シリコン膜との複合膜で構成することにより、その実効膜厚を、酸化シリコン膜で構成されしたゲート絶縁膜よりも厚くすることができますので、トンネル漏れ電流の発生やホットキャリアによる絶縁破壊耐圧の低下を改善することができる。

【0054】塗装シリコン膜8a上には、例えばタンクステンか、プラグ10が形成されている。プラグ10は、例えばコンタクトホール9の内部を含む絶縁膜8a上にCVD法等で窒化チタン(Ti:N)膜およびタンクステン(W)膜を堆積した後、絶縁膜8a上の不要な窒化チタン膜およびタンクステン膜をCMP法またはエッチバック法によって除去し、コンタクトホール9のみにこれらの膜を残すことで形成されている。

【0055】絶縁膜8a上には、例えばタンクステンからなる第1層配線11が形成されている。第1層配線11は、プラグ10を通じてnMISQnおよびpMISQpのソース・ドレイン用の半導体膜厚6、7やゲート電極4と電気的に接続されている。また、絶縁膜8a上には、第1層配線11を覆るように、絶縁膜8b、8cが下層から順に堆積されている。

【0056】絶縁膜8bは、例えば有機ポリマーまたは有機シリカグラス等のような低誘電率材料からなる。この有機ポリマーとしては、例えばSILK (Silk The Dow Chemical Co.)、比熱電導率=2.7、耐熱温度=490℃以上、絶縁破壊耐圧=4.0~5.0 MV/cm<sup>2</sup>またはポリアリエーテル(PAE)系材料のF/LARE (Honeywell) Electronic Materials製、比熱電導率=2.8、耐熱温度=400℃以上等がある。このPAE系材料は、基本性能が高く、機械的強度、熱的安定性および低コスト性に優れるという特徴を有している。上記有機シリカグラス(SiO<sub>x</sub>C系材料)としては、例えばHSG-S-R7 (DYL化成工業) 比熱電導率=2.8、

[0053] nMISQnのソースおよびドレイン用の半導体領域6は、チャネルに隣接する「 $n^-$ 型半導体領域」と、「 $n^-$ 型半導体領域」部分だけチャネルから離隔する位置に設けられた「 $n^+$ 型半導体領域」とを有している。 $n^-$ 型半導体領域には、例えばパリ $n^-$ またはヒ素が導入されている。一方、PMISQpのソースおよびドレイン用の半導体領域7は、チャネルに隣接する「 $p^-$ 型半導体領域」と、「 $p^-$ 型半導体領域」部分だけチャネルから離隔する位置に設けられた「 $p^+$ 型半導体領域」を有している。 $p^-$ 型半導体領域および「 $p^+$ 型半導体領域」には、例えばホウ素が導入されている。この半導体領域6、7の上面一部には、例えばチタンシリサイド層またはコバルトルシリサイド層等のようなシリサイド層が形成されている。

[0054] このような基板1上には絶縁膜8aが堆積されている。この絶縁膜8aは、ゲート電極4、4の狭いスペースを埋め込むことのできるリフロー性の高い膜、例えればBPSG(Boron-doped Phospho Silicate Glass)

る SOG (Spin On Glass) 膜で構成しても良い。絶縁膜 8 a には、コントクトホール 9 が形成されている。コントクトホール 9 の底部から半導体領域 6、7 の上面一部が露出されている。このコントクトホール 9 内には、ブリグ 1 0 が形成されている。ブリグ 1 0 は、例えばコンタクトホール 9 の内部を含む絶縁膜 8 a 上に CVD 法等で塗化チタン (Ti N) 膜およびタングステン (W) 膜を堆積した後、絶縁膜 8 a 上の不要な塗化チタン膜およびタングステン膜を CMP 法またはエッチバック法によって除去し、コンタクトホール 9 内のみにこれらの膜を残すことで形成されている。

【0055】絶縁膜 8 a 上には、例えばタンクスデンからなる第1層接触 1 1 が形成されている。第1層接触 1 1 は、ブリグ 1 0 を通じて nMISQn および pMISQn のソース・ドレイン用の半導体領域 6、7 やゲート電極 4 と電気的に接続されている。また、絶縁膜 8 a 上には、第1層接触 1 1 を覆うように、絶縁膜 8 b、8 c が下層から順に堆積されている。

【0056】絶縁膜 8 b は、例えば有機ポリマーまたは有機シリカガラス等のような低誘電率材料からなる。この有機ポリマーとしては、例えば S i L K (Silicon Dow Chemical Co.)、比誘電率 = 2.7、耐熱温度 = 490 ℃以上、絝縊強度 = 4.0~5.0 MV/m<sup>2</sup> (OMV/m<sup>2</sup>) またはポリアルケーテル (PAE) 系材料の F L A R E (Fellowes) Electronic Materials 製、比誘電率 = 2.8、耐熱温度 = 400 ℃以上 等がある。この PAE 系材料は、基本性能が高く、機械的強度、熱的安定性およびコスト性に優れるという特徴を有している。上記有機シリカガラス (SiO<sub>2</sub>系材料) としては、例え HSG-R7 (日本化成工業製、比説電率 = 2.8、

耐熱温度=650°C)、Black Diamond (Applied Materials, Inc.製、比誘電率=3.0~2.4、耐熱温度=450°C) またはp-MTES (日本電気製、比誘電率=3.2) 等がある。この他のSiOC系材料としては、例えばCORAL (Novellus Systems, Inc.製、比誘電率=2.7~2.4、耐熱温度=500°C)、Aurora 2.7 (日本エーエス・エム社製、比誘電率=2.7、耐熱温度=450°C) 等がある。

[0057] また、絶縁膜8bの低誘電率材料として、例えばFSG (SiO<sub>2</sub>系材料)、HSQ (hydrogen silsesquioxane)系材料、MSQ (methyl silsesquioxane)系材料、ポーラスHSQ系材料、ポーラスMSQ材料またはポーラス有機系材料を用いることもできる。HSQ系材料としては、例えばOCOT-1~12 (東京応用工業製、比誘電率=3.4~2.9、耐熱温度=450°C)、FOX (Dow Corning Corp.製、比誘電率=2.9) またはOCL-T-3.2 (東京応用工業製、比誘電率=2.5、耐熱温度=450°C) 等が形成されている。

[0058] またMSQ系材料としては、例えばOCDT-9 (東京応用工業製、比誘電率=2.7、耐熱温度=600°C)、LKD-T200 (JSR製、比誘電率=2.7~2.5、耐熱温度=450°C)、HOSP (Honeywell Electronic Materials製、比誘電率=2.5、耐熱温度=500°C)、HSG-RZ25 (日立成工業製、比誘電率=2.5、耐熱温度=650°C)、OCL-T-31 (東京応用工業製、比誘電率=2.3、耐熱温度=500°C) またはLKD-T400 (JSR製、比誘電率=2.2~2、耐熱温度=450°C) 等がある。

[0059] ポーラスHSQ系材料としては、例えばXLK (Dow Corning Corp.製、比誘電率=2.5~2)、OCL-T-72 (東京応用工業製、比誘電率=2.2~1.9、耐熱温度=450°C)、Nanolinks (Nanoglass) (Nanofiber Electronic Materials製、比誘電率=2.2~1.8、耐熱温度=500°C) またはMesolink (MicAir Products and Chemicals, Inc.製、比誘電率=2以下) 等がある。

[0060] ポーラスMSQ系材料としては、例えばHS-G-6211X (日立成工業製、比誘電率=2.4、耐熱温度=650°C)、ALCAP-S (旭成工業製、比誘電率=2.2~1.9、耐熱温度=600°C)、HSG-6210X (日立成工業製、比誘電率=2.1、耐熱温度=650°C) またはsilica aerogel (シリカ製、比誘電率1.4~1.1) 等がある。

[0061] ポーラス有機系材料としては、例えばPolyELK (MicAir Products and Chemicals, Inc.製、比誘電率=2以下、耐熱温度=450°C) を除むる際に、絶縁膜8f、8gと、絶縁膜8dとのエッチング、オーバルカリ洗浄選択比を大きくすることで、絶縁膜8dをエッチング、オーバルカリ洗浄選択比を

して機能させよ。すなわち、この絶縁膜8dの表面でエッチングを一時停止させた後、絶縁膜8dを選択的にエッチング除去する。これにより、配線膜14の掘り過ぎを精度を向上させることができ、配線膜14の掘り過ぎを防止できる。このような配線膜14は、その平面形状が、図8(a)に示すように、例えば棒状に形成されており、配線膜14の底面からは上記プラグ13の上面が露出している。

[0066] 次に、上記配線膜14の内部に以下のような方法で埋込み配線を形成する。まず、図9に示すように、基板1の正面に、例えば墨チャン(TiN)等からなる厚さ50nm程度の導電性ペリア膜(第1の導電性ペリア)15をスピッタリング法等で堆積する。この導電性ペリア膜15は、後述の主導体膜と絶縁膜8c～8iとの密着性を向上させる機能と、その主導体膜および主導体膜のリフロー時に鋼の潤滑性を向上させる機能を有している。このような機能を有する際しては、墨チャン13に代えて、鋼と強度ない銅化タンゲスタン(WN)、銅化タンタル(TaN)などの高融点金属性物を用いることが好ましい。また、その墨チャン13に代えて、高融点金属性物にシリコン(Si)を添加した材料や、鋼と反応し難いタンタル(Ta)、チタン(Ti)、タンクステン(W)、チタンランゲステン(TiW)合金などの高融点金属を用いることもできる。なお、本実施の形態によれば、導電性ペリア膜15の膜厚を、例えば10nm、それよりも小さい6～7nmまたは5nm以下としても良好なTDDF特性を得ることができる。

[0067] 続いて、導電性ペリア膜15上に、例えば銅からなる主導体膜(第2の導体膜)16を堆積する。本実施の形態では、主導体膜16をメキシ法で形成した。メキシ法を用いることにより、良好な品質の主導体膜16を埋め込みやすく、かつ、低コストで形成することができる。この場合、まず、導電性ペリア膜15上に、銅からなる導体膜をスピッタリング法で堆積した後、その銅からなる相対的に厚い導体膜を、例えば電解メソッキ法によって成長させることで主導体膜2.2を堆積した。このメソッキ処理では、例えば硫酸銅を基本とするメソッキ液を使用した。

[0068] ただし、主導体膜16をスピッタリング法で形成することもできる。この導電性ペリア膜15および主導体膜16を形成するためのスピッタリング法としては、通常のスピッタリング法でも良いが、埋込み部を墨チャン膜よりも大幅に下げるこができるので、墨チャン膜8d上に、絶縁膜8e、8fを下部から順に堆積する。絶縁膜(第1の絶縁膜)8eは、上記絶縁膜8bと同じ低誘電率の絶縁膜からなる。また、絶縁膜(第1の絶縁膜)8fは、上記絶縁膜8cと同じLow-Kキャップ用の絶縁膜8dの材料として、これらを用いることにより、墨チャンを墨チャン膜よりも大幅に下げるこができるので、墨チャン膜8d上に、絶縁膜8e、8fを下部から順に堆積する。その後、フォトレジスト膜をマスクにしたドライエッチング法により、絶縁膜8f、8e、8dを選択的に除去し、配線膜(配線開口部)14を形成する。配線膜14を形成するには、フォトレジスト膜から露出する絶縁膜8f、8eを除むる際に、絶縁膜8f、8gと、絶縁膜8dとのエッチング、オーバルカリ洗浄選択比を

施すことによって主導体膜16をリフローさせ、鋼を配線膜14の内部に隙間なく埋め込む。

[0070] 次に、このような主導体膜16および導電性ペリア膜15をCMP (Chemical Mechanical Polishing) 法等によって研磨する。研磨スラリとしては、例えばアルミナなどの砥粒と過酸化水素または印加第二液体などの酸化剤とを主成分とし、これらを水に分散または溶解させたものが使用される。このようにして、図10に示すように、配線膜14内に鋼を主成分とする埋込み第2配線(配線)12を形成する。埋込み第2配線12はプラグ13を通じて第1層配線11と電気的に接続されている。

[0071] 研磨が終了した基板1は、その表面に防護処理が施される。この防護処理部は、研磨處理部の構成と類似した構成になっており、ここでは、まず研磨盤(プララン)の表面に取り付けた研磨バッドに基板1の正面が押し付けられ、それをスラリーが機械的に除かれた後、例えばメントリアソール(BTA)などの防護剤を含んだ溶液が基板1の正面に供給されることによつて、基板1の正面に形成された鋼配線の表面部分に保護膜が形成される。

[0072] 防護処理が終了した基板1は、その表面の乾燥を防ぐために、防護処理部に一時的に保管される。研磨處理部は、防護剤を除去した基板1を後洗净するまでの間、その表面が乾燥しないよう維持するためのもので、例えば純水をオーバーフローさせた浸漬槽(ストッカ)の中に所定数の基板1を浸漬させて保管する構造になっている。このとき、埋込み第2層配線12の電気学的抵抗反応が実質的に進行しない程度の低温に冷却してはならない。このようにして、鋼と強度ない銅化タンゲスタン(WN)、銅化タンタル(TaN)などの高融点金属性物を用いることが可能である。また、その墨チャン13に代えて、高融点金属性物にシリコン(Si)を添加した材料や、鋼と反応し難いタンタル(Ta)、チタン(Ti)、タンクステン(W)、チタンランゲステン(TiW)合金などの高融点金属を用いることもできる。なお、本実施の形態によれば、導電性ペリア膜15の膜厚を、例えば10nm、それよりも小さい6～7nmまたは5nm以下としても良好なTDDF特性を得ることができる。

[0073] 続いて、導電性ペリア膜15上に、例えば銅からなる主導体膜(第2の導体膜)16を堆積する。

この実験結果によると、埋込み第2層配線12の表面に形成された鋼配線の表面部分に保護膜が形成される。

[0074] 続いて、例えば水蒸気廻路(循環路)中で基板1に対して熱処理を施す。

り、CMP処理により基板1に付着した微性スリーラーを中和し、基板1と、異物と、洗浴用のラシと、洗浴電位を方向を備えて、それらの間の吸着力をなくすため例えれば、H<sub>2</sub>NCH<sub>2</sub>CH<sub>2</sub>OH、濃度：0.01～0.1%程度、好ましくは0.01%を用いた。この薬液は、薬のエッチング作用が少なく、NH<sub>4</sub>OHと同様の洗浄力を有する。この洗浄處理では、ホール型洗浄方式を採用した。ただし、これに限定されものではなく種々変更可能であり、例えばアルカリ洗浄に際してディスク型洗浄方式を採用することもできる。また、鏡洗浄に際してディスク型洗浄方式やベン型洗浄方式を採用することもできる。

【0077】上記の例では、還元處理として水素アニールを施す場合について説明したが、これに限らずものではなく、例えば水素アラジマやアンモニアアラジマを施しても良い。この場合、上記した例外の他に、還元處理時間を短縮でき、スレーブットの向上を推進させることができる、という効果が得られる。水素アラジマやアンモニアアラジマに比較した場合の水素アニールの利点としては、デバイスプロセスで良く使用されており実績があること、また、真空状態を形成する必要がないこと等から、比較的容易に處理を行うことができる、という利点がある。

【0078】また、CMP処理後、上記還元處理を行い、その後、アルカリ洗浄處理、鏡洗浄處理の順で後洗浄處理を行っても良い。また、アルカリ洗浄を行わず、鏡洗浄のみを行っても良い、鏡洗浄のみを行ただけでもTDDB特性が改善する。これは、ダメージ層の除去により界面の特性を向上できためと思われる。

【0079】また、上記CMP後洗浄處理に先行または並行して、基板1の表面を純水スラブ洗浄、純水超音波洗浄、純水スラブ洗浄または純水スピン洗浄したり、基板1の表面を純水スラブ洗浄したりしても良い。

【0080】続いて、本実験の形態においては、図12に示すように、埋込み第2層配線L2に対してエッチング處理を施すことにより、埋込み第2層配線L2に於て、基板によっては、上記のような水素アニールを施さなくて良い場合もある。

【0081】続いて基板1に対して鏡洗浄處理を施す。この處理は、TDDB特性の向上、残留金屬除去、極板8の表面のダーリングボンドの低減および絶縁膜8の表面の凹凸除去等の目的を有しており、純水槽液を基板1の表面に供給してエッチングによる異物粒子(パーティクル)の除去を行う。フッ酸洗浄を挿入しただけでもTDDB特性を改善できる。これは、酸處理により表面のダメージ層が除去されて界面の密着性が向上できためと考えられる。フッ酸(HF)洗浄は、例えればアルカリ洗浄を用い、HF濃度を0.5%、洗浄時間を20秒の条件が選択できる。

【0076】本発明者らの実験によれば、アルカリ洗浄

部角は、埋込み第2層配線L2において最も世界が集中する上部角(導電性ペリア膜15の上部)から離れるようには配慮されている。これにより、埋込み第2層配線L2において、電界が最も集中し、かつ、絶縁膜8との上面(CMP面)が接する部分に、伝導系の高い膜からなる主導体膜16が存在しないような構造となることができる。このため、上記電界集中に起因する鋼の拡散を抑制または防止することが可能となる。この結果、TDDB寿命を向上させることが可能となる。距離d3は、例えば10nm程度またはそれ以上である。なお、このような段階状態を採用することを考慮して、予め配線層14の深さ(なわち、絶縁膜8 d～8 tの総厚)を段差形状を採用しない場合よりも深く(厚く)しておく。

【0081】また、上記アルカリ洗浄處理または鏡洗浄處理に際して、例えばPH値、溶液濃度または處理時間等を所定の値に設定することにより、埋込み第2層配線L2の上面を絶縁膜12によって保護する。絶縁膜8 gは、例えば上記絶縁膜8 dと同一厚さの同一材料からなる。絶縁膜8 gの材料には、上記絶縁膜8 dと同様の変形例がある。また、図16(a)に示すように、埋込み第2層配線L2の側面には、下方から上方に向かって傾斜幅が次第に広くなるような形状が形成されている。この埋込み第2層配線L2の側面と上面との成す角αは、例えば80°～90°の範囲内、具体的には、例えば88°～90°である。配線の上部側の幅(底面幅)14の上部側を絶縁膜12を置きませることもできる。この場合、第2層配線L2の側面と絶縁膜8 cの上面との成す角αは、例えば8.7°である。配線の上部側の幅(底面幅)14の上部側を絶縁膜12の上面に置きませた後、例えば純水リソス處理およびスピンドル洗浄やIPA(イソプロピルアルコール)ペーパー乾燥等のような乾燥處理、後處理を経てキヤップ絶縁膜の形成工程に移行する。

【0082】ここでは、まず、図13に示すように、基板1の裏面(埋込み第2層配線L2が露出する面)に対して、水素アラジマ處理を施す。この水素アラジマ處理条件は、例えば基板1の直径を8インチ(=約20cm)とした場合、處理圧力を5.0Torr(=6.661×10<sup>-2</sup>Pa)、高周波(R.F.)電力を600W、基板温度を400°C、水素ガス流量を500cm<sup>3</sup>/min、處理時間は10～30秒とすることができる。電極間距離は6.0mm(1.5～2.4mm)とした。

【0084】続いて、上記水素アラジマ處理後、大気開放せず連続して、図14に示すように、アンモニア(NH<sub>3</sub>)アラジマ處理を施す。このアンモニアアラジマ處理条件としては、處理温度は、例えば200～47°C、時間は300分程度、处理液は、上記水素アラジマ条件と同じである。

【0085】また、CMP後洗浄處理後の燃焼處理の後、水素ニール処理、水素アラジマ處理、アンモニアアラジマ處理、配線キャップ膜形成處理の順に處理を行つても良い。いずれにおいても水素アニールの条件としては、處理温度は、例えば200～47°C、時間は300分程度、处理液は、上記水素アラジマ条件と同じである。

【0086】なお、アラジマ處理条件は、これら例示した条件に限られないはもちろんである。本発明者の限りで、基板1の表面を純水スラブ洗浄、純水超音波洗浄、純水スラブ洗浄したりしても良い。

【0087】続いて、本実験の形態においては、図12に示すように、埋込み第2層配線L2に対してエッチング處理を施すことにより、埋込み第2層配線L2の上層を選択的にエッチング除去する。これにより、埋込み第2層配線L2の上面を、CMP面である絶縁膜8 tの上面よりも置きませる。すなわち、埋込み第2層配線L2の上面と、絶縁膜8 tの上面との間に小さな段差を生じさせている。ここでは、図12(b)に示すように、導電性ペリア膜15の上部は、これに近接する絶縁膜8 tの上面の高さまで残されているが、膜からなる主導体膜16の上面、特に上部角は、埋込み第2層配線L2において導電性ペリア膜15の上部から距離d3だけ下方に離れて配置されている。すなわち、主導体膜16の上に離れて配置があるが、水素アニール處理を施すことに

6 Torr (=0.6661×10<sup>2</sup>～7.9993×10<sup>2</sup>Pa)、RF電力は300～600W、基板温度は3.5～4.5°C、水素ガス流量は5.0～1000cm<sup>3</sup>/min、アンモニアガス流量は2.0～5.00cm<sup>3</sup>/min、處理時間は5～180秒、電極間距離は15.0～1000mils(3.81～25.4mm)の範囲で設定することができる。

【0086】続いて、上記アンモニアアラジマ處理後、大気開放せずに、図15および図16に示すように、埋込み第2層配線L2および絶縁膜8 tの上面に、疊積キヤップ用の絶縁膜(第1、第2の絶縁膜)8 gをCVD法等によって堆積する。絶縁膜8 gは、例えば上記絶縁膜8 dと同一厚さの同一材料からなる。絶縁膜8 gの材料には、上記絶縁膜8 dと同様の変形例がある。また、図16(a)に示すように、埋込み第2層配線L2の側面には、下方から上方に向かって傾斜幅が次第に広くなるような形状が形成されている。この埋込み第2層配線L2の側面と絶縁膜8 cの上面との成す角αは、例えば80°～90°の範囲内、具体的には、例えば88°～90°である。配線の上部側の幅(底面幅)14の上部側を絶縁膜12によって保護する。絶縁膜8 cは、例えば8.7°である。配線の上部側の幅(底面幅)14の上部側を絶縁膜12の上面に置きませることもできる。この場合、製造工程の簡略化と製造時間の短縮が可能となる。

【0087】次に、上記疊積絶縁膜12と同一厚さの絶縁膜8 tの上面から離せた後、例えば純水リソス處理およびスピンドル洗浄やIPA(イソプロピルアルコール)ペーパー乾燥等のような乾燥處理、後處理を経てキヤップ絶縁膜の形成工程に移行する。

【0088】ここでは、まず、図13に示すように、基板1の裏面(埋込み第2層配線L2が露出する面)に対して、水素アラジマ處理を施す。この水素アラジマ處理条件は、例えば基板1の直徑を8インチ(=約20cm)とした場合、處理圧力を5.0Torr(=6.661×10<sup>-2</sup>Pa)、高周波(R.F.)電力を600W、基板温度を400°C、水素ガス流量を500cm<sup>3</sup>/min、處理時間は10～30秒とすることができる。

【0089】また、CMP後洗浄處理の燃焼處理の順で後洗浄處理を行つても良い。また、アルカリ洗浄を行わず、鏡洗浄のみを行っても良い、鏡洗浄のみを行ただけでもTDDB特性が改善する。これは、ダメージ層の除去により界面の特性を向上できためと思われる。

【0090】また、上記CMP後洗浄處理に先行または並行して、基板1の表面を純水スラブ洗浄、純水超音波洗浄、純水スラブ洗浄または純水スピン洗浄したり、基板1の表面を純水スラブ洗浄したりしても良い。

【0091】続いて、本実験の形態においては、図12に示すように、埋込み第2層配線L2に対してエッチング處理を施すことにより、埋込み第2層配線L2の上層によっては、上記のような水素アニールを施さなくて良い場合もある。

【0092】この處理は、TDDB特性の向上、残留金屬除去、極板8 t表面のダーリングボンドの低減および絶縁膜8 t表面の凹凸除去等の目的を有しており、純水槽液を基板1の表面に供給してエッチングによる異物粒子(パーティクル)の除去を行う。フッ酸洗浄を挿入しただけでもTDDB特性を改善できる。これは、酸處理により表面のダメージ層が除去されて界面の密着性が向上できためと考えられる。フッ酸(HF)洗浄は、例えればアルカリ洗浄を用い、HF濃度を0.5%、洗浄時間を20秒の条件が選択できる。



(0106) なお、鋼からなる主導体膜 1 の堆積工程により、上記埋込み第 2 層配線 1-2 を突出させることもできる。この場合の酸洗浄の要領としては、例えばフッ酸 (HF)、マル酸、有機酸等を選択することができる。この場合、製造工程の簡略化と製造時間の短縮が可能となる。

[0112] なお、鋼からなる主導体膜 1 の堆積工程における CMP 处理、CMP 後洗浄処理、還元 (水素アーチー処理、主導体膜 1 の上面を剥離するための處理、 $\text{SiO}_2$  モニアアラスマ処理および水素アラスマ処理等による各表面処理については、前記実施の形態 1 と同じな説明を省略する。

(図 2.0 (a)) は、本実施の実験の実施の形態である半導体装置の製造工程中 (図 1 と同一の配線チャート) の要部拡大断面図を示している。また、図 2.0 (b) は、本実施の実験の実施の形態である半導体装置の製造工程中 (図 1 と同一のチャート) の要部拡大断面図を示している。

（実験の形態 4） 図 2.0 (a) は、本実施の実験の実施の形態である半導体装置の製造工程中 (図 1 と同一の配線チャート) の要部拡大断面図を示している。また、図 2.0 (b) は、本実施の実験の実施の形態である半導体装置の製造工程中 (図 1 と同一のチャート) の要部拡大断面図を示している。

（実験の形態 5） 本実施の実験の形態 5においては、前記実験の形態 3 で説明したパリアレス埋込み配線構造に、前記実験の形態 4 の構造を適用した場合について説明する。図 2.3 (a) は、本実施の実験における半

0.1.0.8】本実施の形態4においては、図20に示すように、埋込み第2層配筋L2の上面が全体的に絶縁膜の上面（CMP面）よりも上方に突出している。これは、埋込み第2層配筋L2を構成する専電性ペリア（115および主導体膜116の両方の上面特に上部角部）の上面から上方に離れており、これに近接する絶縁膜81の上面（角部以外の面）の高さが、絶縁膜81の上面（CMP面、絶縁膜81、82の界面）の高さよりも高い場合を例示してある。しかし、図21に示すように、主導体膜116の上面（角部以外の面）の高さを、絶縁膜81の上面（CM面、絶縁膜81、82の界面）の高さよりも低くして

図10-9 図2-0および図2-1のいずれの場合も、埋込み第2屈筋線L2において、その上部角の電界が集中する領域EFA内に、鍋からなる主導体段16の上部角に存在するが、その領域EFAが、リードバスが形成され良い。

なる。[(011-5)] これ以外の構造は、前記実施の形態3、4、5で説明したのと同じなので説明を省略する。また、鋼か、ならなる主墙体1の堆積工程後のCMP処理、アンモニアアブロジアラスマ処理および水素アーモル処理等のよう、各々種處理につきいては、前記実施の形態1と同じなので説明を省略する。

[01-16] 実施の形態6 図24は、本発明の他の実施の形態である半導体装置の製造工程中(図16と同一の工程)における絶縁膜の性状(工程後)の要部拡大断面図を示している。

膜16の上面(角部以外の面)との高さは同じである。この場合は、埋込み第2回記録12において電界が集中する領域EFAおよび主導体膜16の上部角が、絶縁膜8fの上面(CMP面)から離れている。これにより、互に隣接する埋込み第2回記録12、12間にリードバスが形成されるのを抑制または防止できる。した

【0118】このような構造を形成するには、前記CM-P処理工程の処理後のエッチング工程に際して、主導体膜16および遮蔽膜81が接着剤によりエッチング処理を実施せらる。かつて、TDDI基板を向こうさせることも可能となる。

【0119】また、上記アルカリ洗浄処理および酸洗浄処理に際して、例えばpH値、蒸気濃度等または処理時間等を所定の値に設定することにより、導体膜16の上条件で基板1に対してエッチング処理を施せば良い。

【0120】なお、錫からなる主導体膜 1 の堆積工程後のCPP処理、CMP後洗浄処理、還元（水素アーノル）処理、アンモニアアラジマ処理および水素アラジマ処理等のような各種処理については、前記実施の形態 1 と同じ様に説明を省略する。

【0121】（実施の形態 7）本実施の形態 7において

は、デュアルマシン法による組み立て構造の形成方法の一例を図2-5～図3-0によって説明する。なお、図2-5 (a) は、半導体装置の製造工程における要部平面上面図、図2-5 (b) は図2-5 (a) のX2-X2線の断面図を示している。また、図2-6～図3-0は、図2-5に接続する断面工程であって、図2-4 (a) のX2-X2面上には、図1-2-1 図2-5に示すように、絶縁膜8上には、当する部分の断面図を示している。

絶縁膜（第1の絶縁膜）8 h～8 iが下端から順に堆积されている。絶縁膜8 h、8 kは、前記絶縁膜8 eと同一の低誘電率材料からなり、その絶縁膜8 eと同一厚さで同様に形成されている。絶縁膜8 i、8 lは、前記絶縁膜8 jと同一材料からなり、その絶縁膜8 jと同一厚さで同様に形成されている。絶縁膜8 i、8 lは、前記絶縁膜8 jと同一厚さで同様に形成されている。

【0123】この絶縁膜8 g～8 iには、平面円形状のスルーホール（配線開口部）17が穿孔されている。スルーホール17の底面からは埋込み第2層配線j 2の主導体膜16の上面が露出されている。また、絶縁膜8 jの上面およびびずみ配線j 8の底面からも、絶縁膜8 iの上面およびびずみ配線j 8の底面からも、各々の上端から、配線脚18 a～18 f、リードワール17a～17fが形成されている。

101241 このような状態において、まず、図26に示すように、前記と同様の導電性ペリアク15を、前記実施の形態1と同様の条件でスパッタリング法によって形成した後、その上に、鏡からなる主導体膜16を、前記実施の形態1と同様に堆積する。

101251 築いて、開拓実施の形態 1 と同時に、水路（アニール炉）によるリフロ処理を施した後、この主導体（電極）L 1 および導電性電極 A15 を、図 27 に示すよう（電極）L 1 と組合して、新設実施の形態 1 と同様の CMF 工序によって研磨し余分な部分を除去することにより、埋込み第 3 電極（電極）L 3 は、スルーホール 17 を通じて埋込み第 2 配線 L 2 と電気的に接続されている。

[0126] 続いて、前記実施の形態と同様に、防触処理およびアルカリ洗浄処理を順に施した後、絶縁膜8-1および埋込み第3隔壁織縫1-3の上面(CMP面)に対し、水蒸アノール処理(還元処理)を施す。その後、酸洗処理を施した後、前記実施の形態1と同様にエッチング処理を施すことで、図2-8および図2-9に示すように、主導体模1-6の上層部を選択的にエッチング除去し、埋込み第3隔壁織縫1-3の上面を前記実施の形態1と同様に絶縁膜8-1の上面よりも低めます。なお、図2-9は、図2-8の埋込み第3隔壁織縫1-3の上部角の要部拡大断面図を示している。

[0127] その後、前記実施の形態1と同様に、絶縁

[01228]その後、図3.0において図3.1に示すよう  
に、前記発送の形態1の絶縁質8 gと同一材料からなる  
絶縁膜(第2の絶縁膜)8 mを、その絶縁質8 gと同様  
に堆積する。

[0129] ここでは、前記実施の形態1と同様の理込部及び組み合せ構造を例示しているが、前記実施の形態2～6で述べたと同様の理込部及び組み合せ構造を例示する。図3.2および図3.3は、前記実施の形態4の理込部及び組み合せ構造をデュアルダッシュ法に適用した場合を例示している。図3.3は、図3.2の理込部及び組み合せ構造を例示している。この場合は、押込み第3留置錐L3の上部が、絶縁錐8の上面よりも上方に突出されている。

[0130] このような本実施の形態によれば、デュアルダッシュ法においても前記実施の形態1～6と同様の効果を得ることが可能となる。

[0131] (実施の形態8) 本実施の形態においては、前記L-w-Kキャップ用の絶縁錐を無くした構造(「L-w-Kキャップレス構造」)に本発明を適用した場合について説明する。

いたプラズマCVD法で形成された炭化シリコン膜(Si<sub>x</sub>O<sub>y</sub>(ほぼSi:O=4:0)、トリメチルシランガス(化学式=SiH(CH<sub>3</sub>)<sub>3</sub>)を用いたアラズマCVD法で形成された炭化シリコン膜(Si<sub>x</sub>C<sub>y</sub>、比誘電率=4~5~0)またはトリメチルシリランとNH<sub>3</sub>との混合ガスを用いたアラズマCVD法で形成された炭化シリコン膜(Si<sub>x</sub>C<sub>y</sub>N<sub>y</sub>、比誘電率=4~3~5~0)がある。特に上記トリメチルシリランガスを用いた場合は、鋼をトラップするように作用し、他の材料よりも、リード電流を低減でき、高い絶縁性である。

（図9）キャップレス構造においても、本構造を採用した場合に比較してリーケ電流を低減でき、絶縁層を通常構造に比較して正面面を向上できる上、TDDI界面上で加熱を抑止する効果が得られる。または防止するバリア性を有する絶縁膜を用いる構造について説明する。

たは防止できる。  
図 3.6.01.3 図 3.6 は、その一例を示している。図 3.6.01.3(a) は、半導体装置の製造工程中 (図 1.6 と同一のキープラフ) の要部断面図、図 3.6.01.3(b) は、要部断面図において、Low-K キャップ層の堆積厚さを抑制するための遮蔽物が選択されている。

[0145] 本実施の形態では、埋込み配線構造を形成する絶縁膜(第1の絶縁膜)8 p～8 rの材料として、例えばトリメトキシシラン(化学式:  $\text{Si}(\text{H})(\text{OC}_2\text{H}_5)_3$ )ガスと  $\text{N}_2\text{O}_2$ ガスとの混合ガスを用いたプラスチックCVD法で形成された酸化シリコン膜( $\text{Si}_x\text{O}_y$ (ほぼ  $\text{Si}: \text{O}=4: 0$ )、比誘電率=4.0)、トリメチルシリルシランガス(化学式:  $\text{Si}(\text{H})(\text{CH}_3)_3$ )を用いたプラスチックCVD法で形成された酸化シリコン膜( $\text{Si}_x\text{O}_y$ 、比誘電率=4.0)またはトリメチルシリラン( $\text{Si}_x\text{O}_y$ 、比誘電率=4.0)またはトリメチルシリランとNH<sub>3</sub>との混合ガスを用いたプラスチックCVD法で形成された酸化シリコン膜( $\text{Si}_x\text{C}_x\text{N}_y$ 、比誘電率=4.0～5.0)がある。特に、上記トリメチルシリランガスを用いた場合には、鍍金トランジスタによる作用で熱抵抗性を確保できた。このように、高い電界が集中する箇所に位置するリードやキックアッパー用の絶縁膜8 lは、その材料よりも、リードの形状よりも、高い熱抵抗性を確保できた。

の材料として、上記パリア性を有する材料を選択することにより、絶縁膜 8 f 1, 8 g 1 の界面（絶縁膜 8 f 1 上面）でのリーケーパスの形成を抑制または防止できるので、TDDB寿命を向上させることができる。  
【0140】また、配線キャップ用の絶縁膜 8 f 1 の材料は、前記絶縁膜 8 g と同じ材料としても良いが、前記 Low-Kキャップ用の絶縁膜 8 f 1 と同様に上記パリア性を有する材料を選択することにより、さらには絶縁膜 8 f 1, 8 g 1 界面でのリーケーパスの形成を抑制または防止できる。この場合、絶縁膜 8 f 1, 8 g 1 は、五が可能となる。この場合、絶縁膜 8 f 1, 8 g 1 は、五が選択されている。この場合も前記実施の形態 9 と同様の効果を得ることができるのである。

【0141】また、配線キャップ用の絶縁膜（第 2 の絶縁膜）8 g, 8 h, 8 m の材料は、前記実施の形態で説明した材料を用いても良いが、前記絶縁膜 8 p ~ 8 r と同じにパリア性を有する材料を選択することにより、さらに絶縁膜 8 p, 8 g の界面および絶縁膜 8 r, 8 m の界面でのリーケーパスの形成を抑制または防止できるので、さらには TDDB寿命を向上させることができるとなる。この場合も、絶縁膜 8 p, 8 g, 絶縁膜 8 q, 8 h および絶縁膜 8 r, 8 m を、それぞれ互いに同一材料と

することにより、それら接続部 8 p, 8 g, 接続部 8 q, 8 h および絶縁膜 8 r, 8 m のそれらの密着性を向上させることができるので、絶縁膜 8 p, 8 g の界面および絶縁膜 8 r, 8 m の界面でのリードバスの形成を抑制または防止できる。

【0147】また、図 37では、埋込み第 2 層配線 L2 の上面と、絶縁膜 8 p の上面 (CMP 面、絶縁膜 8 p, 8 g の界面)との間に埋込み第 3 層配線 L3 の上面と、絶縁膜 8 r の上面 (CMP 面、絶縁膜 8 r, 8 m の界面)との間に段差の無い通常構造を例示する。前記実施の形態 1～6で説明した埋込み組立構造を採用しても良い。これにより、さらには TDDB の導通率を向上させることも可能となる。

【0148】また、図 36 では、導電性ペリア膜 1 が印字されている組合せを例示しているが、前記実施の形態 1～6で説明した埋込み組立構造を採用しても良い。これにより、TDDB 集積部を向かって印字される導電性ペリア膜 1 が印字される組合せを例示してある。

【図 1-8】また、図 3-7 では、埋込み第 2 鋼板換 L 2 および埋込み第 3 鋼板換 L 3 の各々において導電性パリア膜 1-5 が設けられているが、前記実施の形態 3、5 で説明したパリアレス埋込み配線構造となる。

としても良い。すなわち、埋込み配線を鋼からなる主導体膜のみで構成しても良い。この場合も、埋込み配線構造は、前記埋込み配線の上面とその周囲の遮絶膜の上面との間に段差を設ける本構造の場合と、その段差を設けない通常構造の場合とがある。いずれの場合もTDDBを向上させることができるとなる。

【0143】(実施の形態1.0) 本実施の形態においては、埋込み配線構造を構成する箇間色膜膜として銅の並びに防止するバリア性を有する遮絶膜を用いる構造について説明する。

【0144】図37は、その一例を示している。図37(a)は、図30と同一工程時(配線チャップ用)の遮絶膜を形成後、半導体基板上の要部断面図、図37(b)は、図37(a)の要部拡大断面図を示している。

【0145】本実施の形態では、埋込み配線構造を形成する絶縁膜（第1の絶縁膜）8p～8rの材料として、

た炭窒化シリコン膜 (SiC<sub>x</sub>N<sub>y</sub>, 比誘電率 = 4, 3 ~ 5, 0) 等のような鋼の拡散を抑制または防止する材料

が選択されている。この場合も前記実施の形態9と同様の効果を得ることができる。

[0146]また、配線キャップ用の絶縁膜（第2の絶縁膜）8 g、8 h、8 mの材料は、前記実施の形態で説明した材料を用いても良いが、前記絶縁膜8 p～8 rと共に同様にノンリバーア性を有する材料を選択することにより、さらに絶縁膜8 p、8 gの界面および絶縁膜8 r、8 mの界面でのリーケーパスの形成を抑制または防止できるので、さらにはTDDB寿命を向上させることができるとなる。この場合も、絶縁膜8 p、8 g、絶縁膜8 q、8 hおよび絶縁膜8 r、8 mを、それぞれ互いに同一材料と

[0147] また、図3-7では、埋込み第2層配線L2の上面と、絶縁膜8-pの上面（CMP面、絶縁膜8-p、q、8-hおよび絶縁膜8-r、8mのそれらの接着性を向上させることができるので、絶縁膜8-p、8gの界面および絶縁膜8-r、8mの界面でのリードバースの形成を抑制または防止できる。

[0147] 一方で、図3-7では、埋込み第2層配線L2の上面と、絶縁膜8-pの上面（CMP面、絶縁膜8-p、q、8-hおよび絶縁膜8-r、8mの界面）との間において埋込み第3層配線L3の上面と、絶縁膜8-pの上面（CMP面、絶縁膜8-r、8mの界面）との間に段差の無い（CMP面構造を示しているが、前記実施形態1～6で説明した埋込み部品構造を採用して良い。これにより、TDR革命を指向すべきである。

すなわち、埋込み配線を鋼からなる主導体構成のみで構成しても良い。この場合も、埋込み配線構造は、前記埋込み配線の上面とその周囲の絶縁膜の上面と、の間に段差を設ける本構造の場合と、その段差を設けない通常構造の場合がある。いずれの場合もTDDB耐久寿命を向上させることが可能となる。

[0150] 本実施の形態においては、そのCMP処理に際して、前記低粒フリー化學機械研磨槽を用いる方法について説明する。

[0151] まず、前図9に示したように主導体積16を基板1の正面と全面に堆積した後、これを低粒を含まないスリurryを使用した化學機械研磨(低粒フリー化學機械研磨) (第1ステップのCMP) により除去す

2. 1512 ここで恒圧アリー化學機械研究所とは、アルミニウム、シリカなどの粉末からなる低壓の含有量が0.5%重圧以下の新技術（スラリ）を使用した化學機械研究所を意味し、新技術としては、特に低圧の含有量が0.1重圧%以下のものが好ましく、0.05重圧%以下あるものは0.01重圧%以下のもののはさうに好ましい。

[0153]また、研究波としては、鋼の腐食域に属するようにそのpHが調整されたものが使用され、さらに導電性パリア膜1.5に対する主導体膜1.6の耐摩耗性比が少くとも5以上となるよう、その組成が調整されたものが使用される。このような研究波として、酸化剤と有機酸とを含んだスラリを例示することができる。酸化剤としては、過酸化水素、水酸化アンモニウム、硫酸アソニウムなどを利用することがで

き、有機酸としては、クエン酸、マロン酸、マル酸、リンゴ酸、アシピン酸、安息香酸、タル酸、乳酸、コハク酸、シユク酸などと示すことができ  
る。これらのうち、過酸化水素は金属成分を含まず、か  
つ強酸ではないため、研究段階において好適な強化剤であ  
る。また、クエン酸は食品添加物として最も一般に使用さ  
れており、酸性が低く、腐食しての害も低く、良いも  
なく、水への溶解度も高いため、研究段階において好適な  
有機酸である。本実験の形態では、例えば純水に5%体積  
の過酸化水素と0.1%重量%のクエン酸を加え、  
珪藻の含有量を0.1重量%未満にした研究段階を使用す

【0154】上記研究では化学鍵結研究を行うと、まず鋼表面が酸化され、表面に薄い酸化層が形成される。次に酸化物を水浴発生する物質が供給されると上記酸化層が水溶液となって溶出し、上記酸化層の厚さが減る。酸化層が薄くなつた部分は再度酸化物質

に晒されて酸化層の厚さが増し、この反応を繰り返して化学構造が研磨が進行する。なお、このような低圧フリーの研磨装置を使用した化学構造については、本研究者等による日本特許平9-299937号および特願平10-317233号に詳しく記載されている。

旗 8 上に局所的に我った導電性ペリア膜 15 を除去するための選択的化学機械研磨を行つ。この選択的化学機械研磨は、主導体膜 16 に対する選択性ペリア膜 15 の研磨選択性が少なくとも 5 以上となる条件で行つ。また、この化学機械研磨では、主導体膜 16 の研磨速度に対する絶縁膜 8 との研磨速度の比がより大きくなる条件で行つ。

〔0162〕上記選択的化学機械研磨を行うには、一般に前記左所示の化学機械研磨装置を用いなす。

の問題を抱えている。この問題は、主として、(1) 食物中のアレルゲンに対する過敏反応、(2) 食物のアレルゲンに対する免疫抑制作用による過敏反応の増強、(3) 食物アレルゲンによる免疫抑制作用による免疫不全症候群である。

などが使用されるが、特にBTAを使用した場合に安定な保護膜を形成することができる。

[0163] 防食剤としてBTAを使用する場合、その濃度はスルリの種類にもよるが、通常は0.001～1重量%、より好ましくは0.01～1重量%、さらによい場合は0.1～1重量%（3段階）の添加で十分な効果ましまくは0.1～1重量%（3段階）の添加で十分な効果が得られる。本実施の形態では、研磨箇所で前記有機酸試験で使用した研磨液に防食剤として0.1～1重量%のBTAを混合したものを使用するが、これにて防食剤の添加による研磨速度の低下を避けるために、ボリアクリル酸、ボリメタクリル酸またはエチレンジカルボン酸、これらのアノニウム塩またはカチリハ酸、

(ノミ四脚取(EDIA)などを必要に心しに依頼して  
ノミ四脚取(EDIA)などは、本防駆除者などによる特願  
平10-209857号、特願平9-29937号お  
よび特願平10-31723号に詳しく記載されてい  
る。なお、このようなうな本機器を含むスラリを使用し  
た機器については、本機器明着などによれば、

〔0164〕この逆説的化学機械研磨は、前記の有底粒化学機械研磨が終了した後、引き続いてCMP装置の定盤盤の上で行われる、防食剤を添加した研磨液は、スラリ供給管を通して研磨ヘッドの表面に供給される。研磨の条件は、一例として荷重 =  $1.20 \text{ g/cm}^2$ 、エヘキヤリ回転数 = 3.0 rpm、定盤回転数 = 2.5 rpm、スラリ流速 = 1.0 ml/min である。

【0165】上記の選択的化学機械研磨を行うことにより、前記図10に示したように、配線層14の外部の導電性バリア膜15がすべて除去され、配線層14の内部に埋込み第2回配線12が形成される。

【0166】埋込み第2回配線12の形成が完了した上で、記録基板1の表面には、疎結合などのハーティクルやCu酸化物などの金属粒子を含んだスラリ残渣が付着していく。そこで、このスラリ残渣を除去するために、まず、溶剤ソルベントを用いてBT Aを含む純水で基板1を洗浄する。このとき、スチアーリングステーションナースの洗浄槽11を回すことで、BT Aを含む純水で基板1を洗浄する。

の高周波振動を加えて基板1の表面からスリーブ部を遊離させるメガソニック洗浄を併用してもよい。次に、我々は表面の埃塵を防ぐために基板1を湿润状態に保持した状態で研磨処理部から後ろ洗净部に搬送し、第1洗净部において0.1重量%のNH<sub>4</sub>OHを含む洗净液を用いたスクロブ洗净を行い、続いて第2洗净部において静水を用いたスクロブ洗净を行つ。前記のように、後洗净部は、洗净液中の光が照射するごとに起因して理屈で構成される第2洗净部の基板接触部に鏡食が発生するのを防ぐため、全

101671 上記スクラブ洗浄(後洗浄)が完了した基  
板1は、スピンドライヤ等で乾燥された後、次工程へ搬  
送される。その後の工程は前記実施の形態1と同様であ

**[0168]** 本実施の形態によれば、前記実施の形態1の場合よりもTDDB寿命を向上させることができ。なお、アンモニアラスマ処理を行なうとしてもTDDB特性が第一の「化粧機器試験のみを行なうだけでも」。

この発明が改善することが本発明者らの経験により判明した。この場合、TDDB寿命が向上するのは、低粒フリーライナーの場合にTDDB寿命が向上するのは、低粒度シリコン樹脂に与えるダメージを低減できるためと考えられる。有低粒の場合、スラリには2~3 μmの粒径(2次粒径)の低粒(アルミニナ等)が含まれる。この低粒度シリコン樹脂によりマイクロスクラッチが生じ、酸化シリコン膜

(逸豫現象8(等)の表面にダメージを与える。しかし、スラリと傾斜した壁面にはスラリに壁面が含まれず、あるいは、斜めに傾いた壁面では斜めに傾いた壁面が含まれてもごく少數であるため、ダメージを大幅に軽減できる。このため、TDBB特性が改善されたものとの考えられる。

は、前記実施の態1の CMP 後洗浄処理における酸洗浄処理に限らず、薬液として前記有機酸を用いるか、また薬液として前記有機酸との混合薬液を用いる。これ以外は、

UDT-1000 によっては、このように複数の出力を用いることにより、CMP等で生じた表面のダメージ層を除去することができる。これによりTDD摩耗を向上できる。また

（1） $\text{Fe}^{2+}$  と  $\text{K}^+$  の共存による  $\text{Fe}^{2+}$  の除去能の低下

**[0172] 前記実施の形態では、キャップ膜を後処理（プラズマ処理）後に真空破壊することなく連続的に形成する場合について説明したが、化成膜の発生する出合いで、**

破壊をして、その後、チャップ膜を形成しても良い。真空空気爆撃しない方が本発明の効果をより効果的に得することができるのであるが、後処理におけるアンモニアブレーバ処理により深い差圧が形成されるため、真空破壊を行ったまま破壊面に露出して輪郭部の形状を抑制できる。よって、真空破壊をする場合は、本実施の形態の効果を得られる。

[017-3] 以上の説明では主として本発明者によってなされた発明をその背景となつた利用分野である CMOS 回路を有する半導体装置技術に適用した場合について説明したが、それに限定されるものではなく、例えば D-RAM (Dynamic Random Access Memory) 、 SRAM (Static Random Access Memory) 、 フラッシュメモリ (EEPROM; Electric Erasable Programmable Read Only Memory) または FRAM (Ferroelectric Random Access Memory) 等のようなメモリ回路を有する半導体装置、マイクロプロセッサ等のようないiturum 回路を有する半導体装置または上記メモリ回路と論理回路とを同一半導体基板に設けている混載型の半導体装置にも適用できる。本発明は、少なくとも後述の組合構造を有する半導体装置、半導体集積回路装置、電子回路装置、電子電子装置またはマイクロマシン等に適用可能である。

X1-X1線の断面図である。

【図9】図8に続く半導体装置の製造工程中における図8(a)のX1-X1線に相当する部分の断面図である。

【図10】図9に続く半導体装置の製造工程中における図8(a)のX1-X1線に相当する部分の断面図である。

【図11】図10に続く半導体装置の製造工程中における図8(a)のX1-X1線に相当する部分の断面図である。

【図12】(a)は図11に続く半導体装置の製造工程中における要部拡大断面図、(b)は(a)の要部拡大断面図である。

【図13】図12に続く半導体装置の製造工程中における図8(a)のX1-X1線に相当する部分の断面図である。

【図14】図13に続く半導体装置の製造工程中における図8(a)のX1-X1線に相当する部分の断面図である。

【図15】図14に続く半導体装置の製造工程中における図8(a)のX1-X1線に相当する部分の断面図である。

【図16】(a)は図15の要部拡大断面図、(b)は(a)の要部拡大断面図である。

【図17】(a)は電界強度とリード電流との関係を本構造と通常構造で比較したグラフ図、(b)は電界強度とTDDB寿命との関係を本構造と通常構造とで比較したグラフ図である。

【図18】本発明の他の実施の形態である半導体装置の製造工程中(キャップ用の絶縁膜の堆積工程後)における要部拡大断面図である。

【図19】(a)は本発明の他の実施の形態である半導体装置の製造工程中(キャップ用の絶縁膜の堆積工程後)における要部拡大断面図である。

【図20】(a)は、本発明の他の実施の形態である半導体装置の製造工程中(キャップ用の絶縁膜の堆積工程後)の要部拡大断面図、(b)は(a)の要部拡大断面図である。

【図21】図20(b)の変形例を示す半導体装置の製造工程中(キャップ用の絶縁膜の堆積工程後)の要部拡大断面図である。

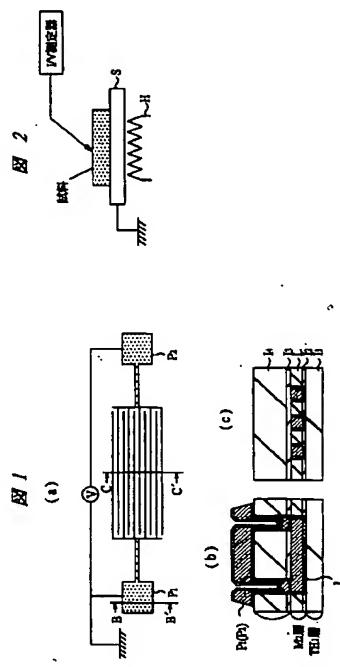
【図22】(a)および(b)は図20の半導体装置のエッチング工程時の要部断面図である。

【図23】(a)は、本発明の他の実施の形態における半導体装置の製造工程中(キャップ用の絶縁膜の堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

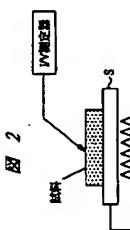
【図24】本発明の他の実施の形態である半導体装置の製造工程中(キャップ用の絶縁膜の堆積工程後)の要部

- 1.5 寸法性パリア膜(第1の導体膜)
- 1.6 主導体膜(第2の導体膜)
- 1.7 スルーホール(底墻開口部)
- 1.8 配線層(配線開口部)
- 5.0~5.4 絶縁膜
- 5.5 配線層
- 5.6 埋込み配線
- L 極形配線
- M2 第2層配線
- P1, P2 パッド

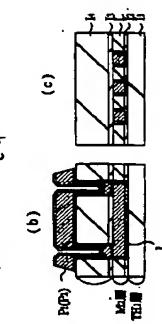
【図1】



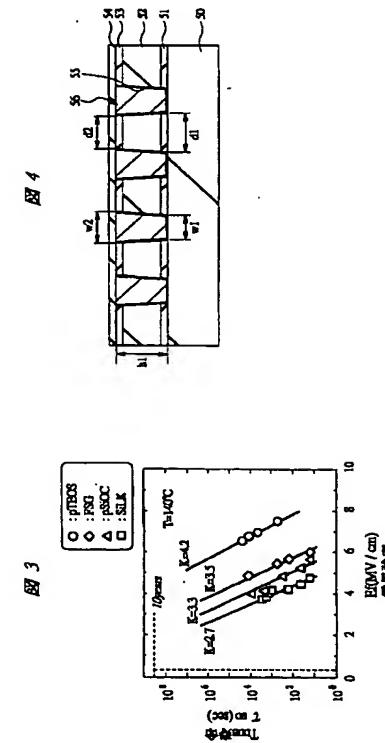
【図2】



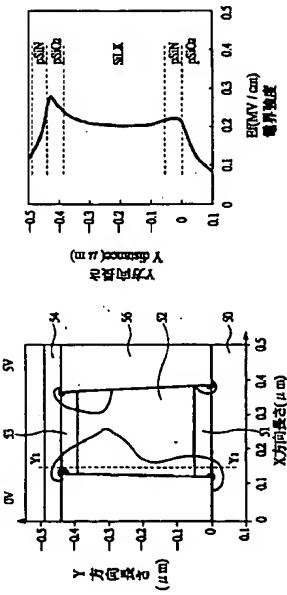
【図3】



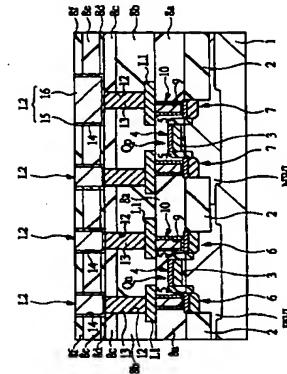
【図4】



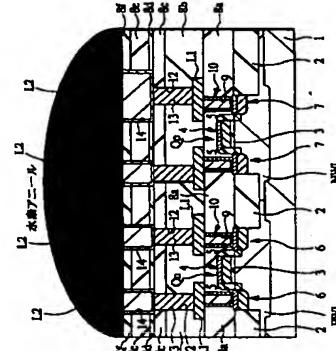
[図5] **ア7 5**



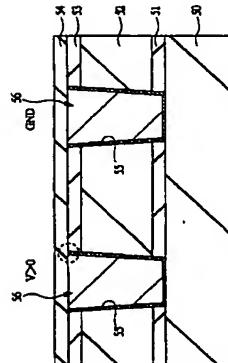
[図6] **ア7 6**



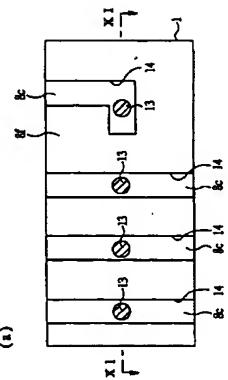
[図11] **ア7 11**



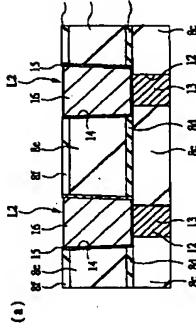
[図7] **ア7 7**



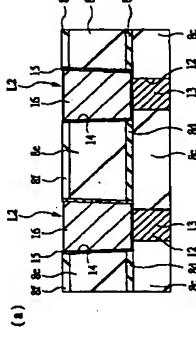
[図8] **ア7 8**



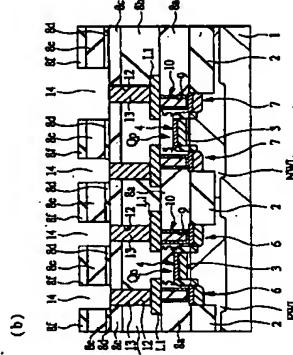
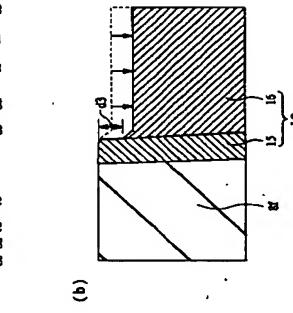
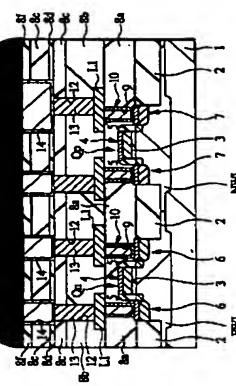
[図10] **ア7 10**



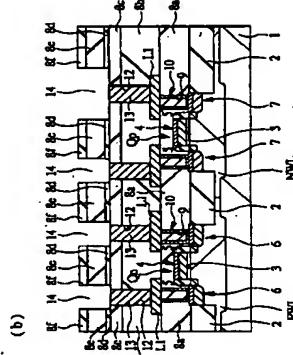
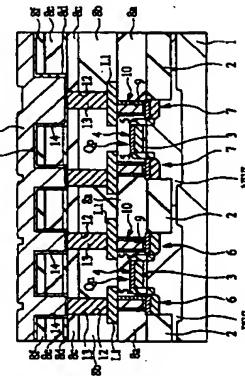
[図12] **ア7 12**

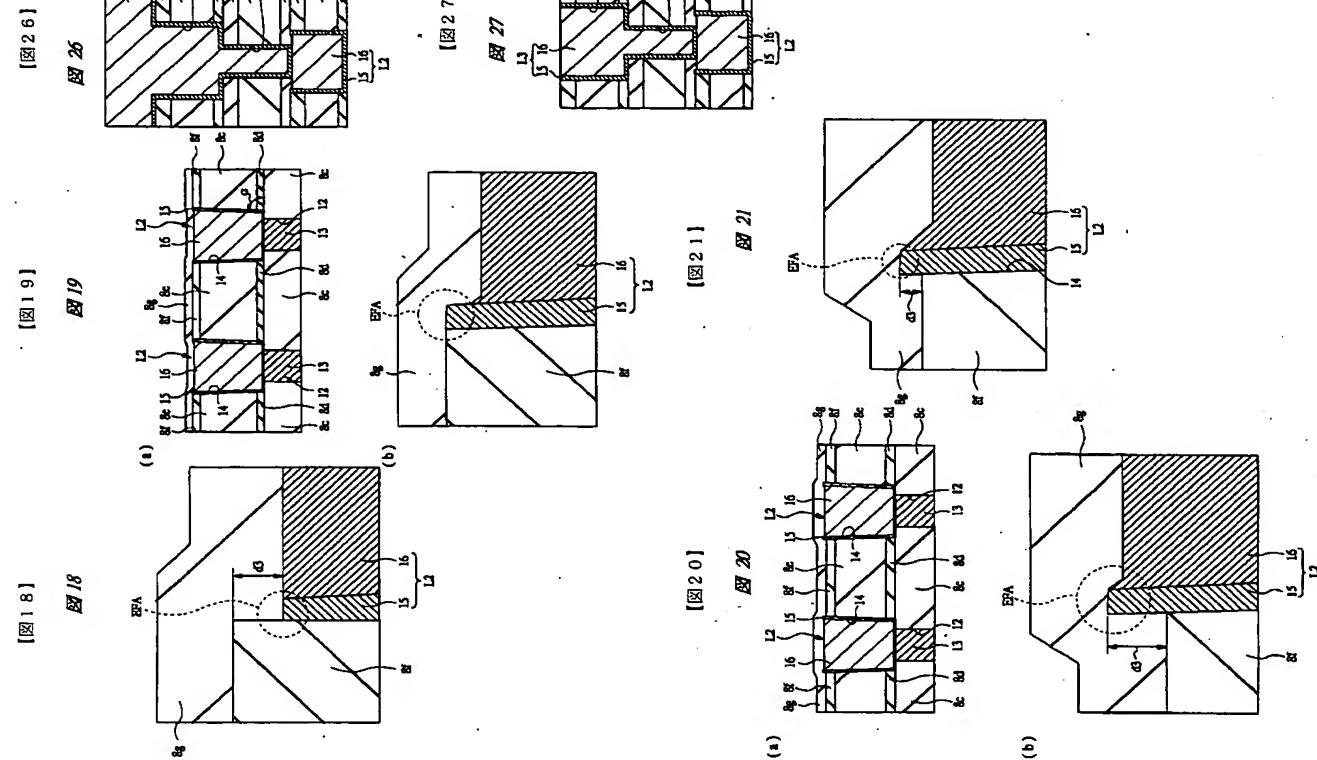
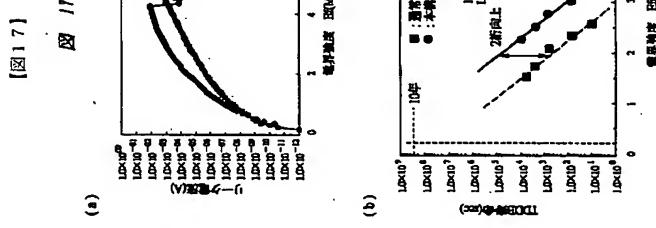
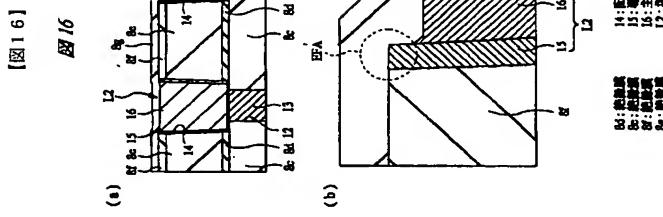
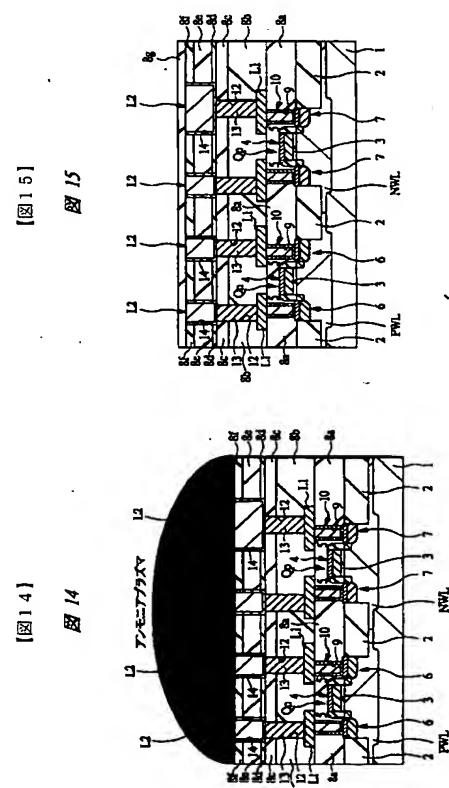


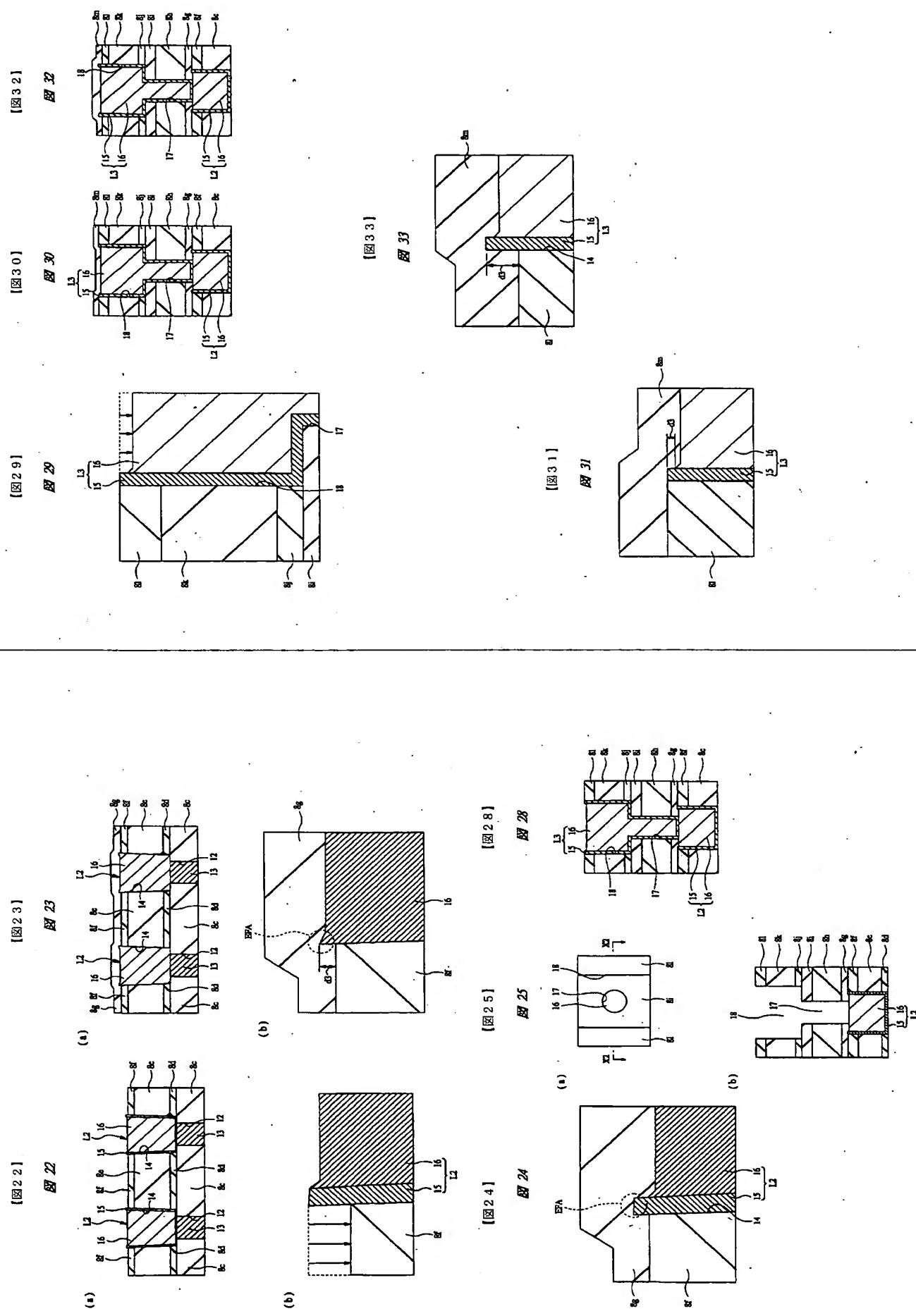
[図11] **ア7 11**

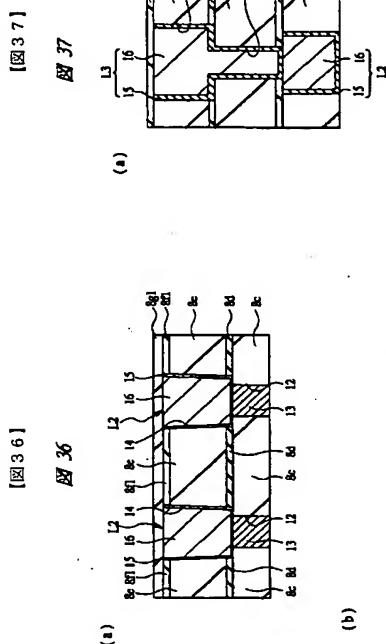
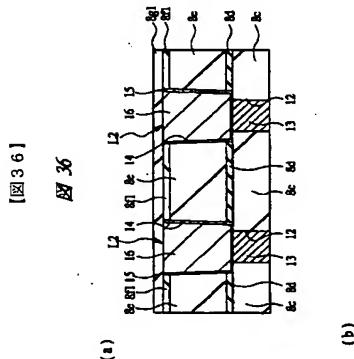
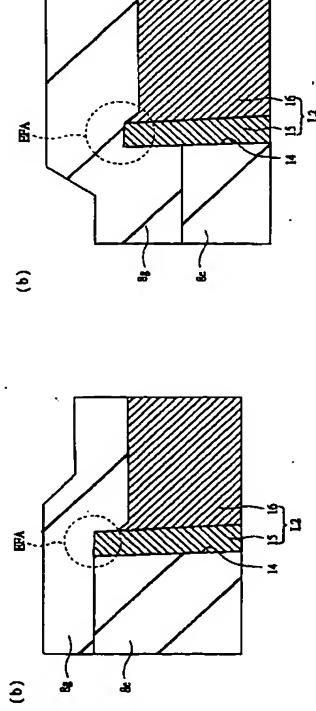
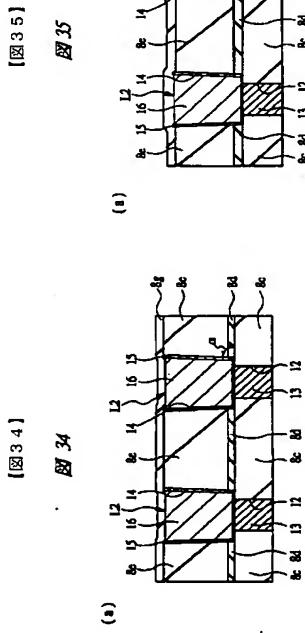


[図9] **ア7 9**









## フロントページの焼き

(72)発明者 大橋 直史  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センター内

F ターミナル (参考) SF033 GG03 GG04 HH04 HH11 HH18  
HH19 HH21 HH23 HH27 HH32  
HH33 HH34 JJ19 JJ33 KK03  
KK19 KK25 KK27 AA01 AA02  
AA07 AA12 AA13 AA17 AA06  
AN07 PP06 PP15 PP21 PP22  
PP27 PP28 QQ08 QQ09 QQ10  
QQ11 QQ21 QQ25 QQ35 QQ37  
QQ48 QQ73 QQ75 QQ78 QQ91  
QQ93 QQ98 RR01 RR04 RR06  
RR09 RR11 RR15 RR21 SS03  
SS04 SS11 SS15 SS21 W15  
W16 X100 X131  
SF048 AA07 AB01 AC03 BA01 BB05  
BB06 BB09 BB11 BB12 BC06  
BE03 BF01 BF06 BF07 BF16  
BG14 DI25